

BEST AVAILABLE COPY**SEMICONDUCTOR SUBSTRATE AND METHOD OF MANUFACTURING THE SAME**

Patent number: JP2003282464
Publication date: 2003-10-03
Inventor: WATANABE YUKIMUNE
Applicant: SEIKO EPSON CORP
Classification:
- **International:** H01L21/205; H01L21/20; H01L21/3063; H01L29/161;
H01L29/26
- **European:**
Application number: JP20020089827 20020327
Priority number(s): JP20020089827 20020327

Report a data error here

Abstract of JP2003282464

<P>PROBLEM TO BE SOLVED: To provide a semiconductor substrate which sufficiently reduces the strain of a crystal layer caused by a difference in a lattice constant by a simple process when forming the crystal layer containing an element having a lattice constant different from that of silicon on a silicon substrate, and also to provide a method of manufacturing the same. <P>SOLUTION: The semiconductor substrate comprises the silicon substrate 1, a porous layer 2 formed on the surface of the silicon substrate 1, a recrystallized layer 3 containing germanium formed on the surface of the porous layer 2, and an epitaxial growth layer 4 formed of a germanium film or a silicon-germanium alloy compound film which is epitaxially grown on the recrystallized layer 3. The recrystallized layer 3 has a lattice constant larger than that of a silicon monocrystal film, and the strain of the recrystallized layer 3 is released to the porous layer 2. When compared with a case that a silicon-germanium alloy compound film having the same germanium composition as that of the recrystallized layer 3 is epitaxially grown directly on a silicon monocrystal layer, the strain of the recrystallized layer 3 is reduced. <P>COPYRIGHT: (C)2004,JPO

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282464

(P 2 0 0 3 - 2 8 2 4 6 4 A)

(43) 公開日 平成15年10月3日(2003.10.3)

| (51) Int. Cl. ⁷ | 識別記号 | F I | ターコード (参考) |
|----------------------------|------|-------------|------------|
| H01L 21/205 | | H01L 21/205 | 5F043 |
| 21/20 | | 21/20 | 5F045 |
| 21/3063 | | 29/161 | 5F052 |
| 29/161 | | 29/26 | |
| 29/26 | | 21/306 | L |
| 審査請求 未請求 請求項の数11 O L (全7頁) | | | |

(21) 出願番号 特願2002-89827(P 2002-89827)

(22) 出願日 平成14年3月27日(2002.3.27)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 渡邊 幸宗

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉 (外2名)

Fターム(参考) 5F043 AA09 BB01 DD14 GG10

5F045 AA04 AB01 AB05 AF03 BB11

BB12 DA69 HA04 HA06

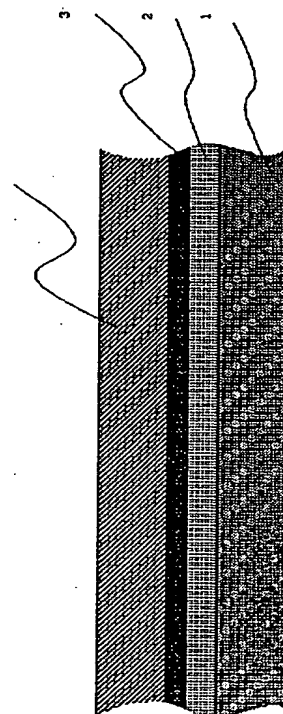
5F052 DA01 DA03 DB01 KA01 KA05

(54) 【発明の名称】 半導体基板およびその製造方法

(57) 【要約】

【課題】 本発明は、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができる半導体基板およびその製造方法を提供することを課題とする。

【解決手段】 シリコン基板1と、シリコン基板1の表面に形成された多孔質層2と、多孔質層2の表面に形成されたゲルマニウムが含まれた再結晶層3と、再結晶層3上にエピタキシャル成長させたゲルマニウム膜もしくはシリコンゲルマニウム混晶膜であるエピタキシャル成長層4とからなり、再結晶層3は、シリコン単結晶膜よりも格子定数が大きくなると共に、再結晶層3の歪みは、多孔質層2に解放されている。従って、再結晶層3は、再結晶層3と同じゲルマニウム組成のシリコンゲルマニウム混晶膜を直接シリコン単結晶層上にエピタキシャル成長させた場合に比べ、歪みが緩和されている。



【特許請求の範囲】

【請求項1】 シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板であって、

前記シリコン基板上に形成された多孔質層と、
該多孔質層上に形成された前記元素を含む再結晶層と、
該再結晶層上に形成された前記結晶層とを具備することを特徴とする半導体基板。

【請求項2】 前記結晶層は、ゲルマニウム膜、シリコンゲルマニウム混晶膜、ⅢⅢ族およびⅤ族元素による化合物を含む半導体膜もしくはⅢⅢ族元素の窒化物を含む半導体膜であることを特徴とする請求項1記載の半導体基板。

【請求項3】 前記結晶層の前記元素の組成は、前記再結晶の前記元素の組成と同一であることを特徴とする請求項1又は2記載の半導体基板。

【請求項4】 前記多孔質層は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なっていることを特徴とする請求項1乃至3のいずれかに記載の半導体基板。

【請求項5】 前記多孔質層は、前記元素を含み、前記元素の組成がそれぞれ異なる複数の層からなることを特徴とする請求項1乃至4のいずれかに記載の半導体基板。

【請求項6】 シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板の製造方法であって、

陽極化成により前記シリコン基板の表面に多孔質層を形成する多孔質層形成工程と、

前記元素を含む還元雰囲気中での熱処理によって前記多孔質層の表面に前記元素を含む再結晶層を形成する再結晶層形成工程と、

前記再結晶上に前記元素を含む前記結晶層を形成する結晶層形成工程とを有することを特徴とする半導体基板の製造方法。

【請求項7】 前記結晶層形成工程では、前記再結晶層の前記元素の組成と同一である前記結晶層を形成することを特徴とする請求項6記載の半導体基板の製造方法。

【請求項8】 前記結晶層形成工程では、前記再結晶層の前記元素の組成とは異なる前記結晶層を形成し、熱処理により前記結晶層の歪みを前記多孔質層に解放する歪み解放工程を有することを特徴とする請求項6記載の半導体基板の製造方法。

【請求項9】 シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板の製造方法であって、

前記シリコン基板上に前記元素を含む第1結晶層を形成する第1結晶層形成工程と、

陽極化成により前記第1結晶層を多孔質層に形成する多孔質層形成工程と、

前記元素を含む還元雰囲気中での熱処理によって前記多孔質層の表面に前記元素を含む再結晶層を形成する再結晶層形成工程と、

前記再結晶上に前記元素を含む前記第2結晶層を形成する第2結晶層形成工程とを有することを特徴とする半導体基板の製造方法。

【請求項10】 前記第1結晶層形成工程では、前記シリコン基板の垂直方向に前記元素の組成の異なる複数の層を形成することを特徴とする請求項9記載の半導体基板の製造方法。

【請求項11】 前記多孔質層形成工程では、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なる前記多孔質層を形成することを特徴とする請求項9又は10記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板およびその製造方法に関し、特にシリコン基板上にゲルマニウム若しくはシリコンゲルマニウム混晶等のシリコンとは格子定数が異なる元素を含む半導体結晶を形成する半導体基板およびその製造方法に関する。

【0002】

【従来の技術】従来、シリコン基板上にゲルマニウム(Ge)もしくはシリコンゲルマニウム(SiGe)混晶の半導体結晶膜をエピタキシャル成長させた場合には、シリコンとゲルマニウムとの格子定数の差により、エピタキシャル成長させたゲルマニウム層もしくはシリコンゲルマニウム混晶膜は、歪みを含んだ層となってしまう。

【0003】そこで、シリコン基板上のシリコンゲルマニウム混晶のゲルマニウム組成を段階的に変化させ、徐々に歪みを解放していくバッファ層を設けることにより、歪みが緩和されたゲルマニウム膜もしくはシリコンゲルマニウム混晶膜を形成する技術が知られている。

【0004】また、SOI基板上にシリコンゲルマニウム混晶膜をエピタキシャル成長させた後に、窒素雰囲気中で5時間熱処理(900℃)を行うことにより、シリコンゲルマニウム混晶膜の歪みを緩和させる技術も知られている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のゲルマニウム組成を段階的に変化させたバッファ層を形成して歪みを緩和させる技術では、形成するシリコンゲルマニウム混晶膜のゲルマニウム組成が大きくなると、厚いバッファ層を形成する必要があり、プロセス時間が非常に長くなると共に、ゲルマニウム組成を段階的に変化させたバッファ層では、シリコンゲルマニウム混晶膜の歪みを十分に緩和することができないという問題点があった。

【0006】また、従来のSOI基板を使用して熱処理

を行って歪みを緩和させる技術では、結晶性回復のために高温で長時間の熱処理を施す必要があり、プロセス時間が非常に長くなると共に、シリコンゲルマニウム混晶膜の歪みを十分に緩和することができないという問題点があった。

【0007】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができる半導体基板およびその製造方法を提供する点にある。

【0008】

【課題を解決するための手段】本発明は上記課題を解決すべく、以下に掲げる構成とした。請求項1記載の発明の要旨は、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板であって、前記シリコン基板上に形成された多孔質層と、該多孔質層上に形成された前記元素を含む再結晶層と、該再結晶層上に形成された前記結晶層とを具備することを特徴とする。また請求項2記載の発明の要旨は、請求項1記載の半導体基板であって、前記結晶層は、ゲルマニウム膜、シリコンゲルマニウム混晶膜、III族およびV族元素による化合物を含む半導体膜もしくはIII族元素の窒化物を含む半導体膜であることを特徴とする。また請求項3記載の発明の要旨は、請求項1又は2記載の半導体基板であって、前記結晶層の前記元素の組成は、前記再結晶の前記元素の組成と同一であることを特徴とする。また請求項4記載の発明の要旨は、請求項1乃至3のいずれかに記載の半導体基板であって、前記多孔質層は、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なっていることを特徴とする。また請求項5記載の発明の要旨は、請求項1乃至4のいずれかに記載の半導体基板であって、前記多孔質層は、前記元素を含み、前記元素の組成がそれぞれ異なる複数の層からなることを特徴とする。また請求項6記載の発明の要旨は、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板の製造方法であって、陽極化成により前記シリコン基板の表面に多孔質層を形成する多孔質層形成工程と、前記元素を含む還元雰囲気中での熱処理によって前記多孔質層の表面に前記元素を含む再結晶層を形成する再結晶層形成工程と、前記再結晶層上に前記元素を含む前記結晶層を形成する結晶層形成工程とを有することを特徴とする。また請求項7記載の発明の要旨は、請求項6記載の半導体基板の製造方法であって、前記結晶層形成工程では、前記再結晶層の前記元素の組成と同一である前記結晶層を形成することを特徴とする。また請求項8記載の発明の要旨は、請求項6記載の半導体基板の製造方法であって、前記結晶層形成工程では、前記再結晶層の前記元素の組成とは異なる前記結晶層を形成し、熱処理により前記結晶層の歪み

を前記多孔質層に解放する歪み解放工程を有することを特徴とする。また請求項9記載の発明の要旨は、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成する半導体基板の製造方法であって、前記シリコン基板上に前記元素を含む第1結晶層を形成する第1結晶層形成工程と、陽極化成により前記第1結晶層を多孔質層に形成する多孔質層形成工程と、前記元素を含む還元雰囲気中での熱処理によって前記多孔質層の表面に前記元素を含む再結晶層を形成する再結晶層形成工程と、前記再結晶層上に前記元素を含む前記第2結晶層を形成する第2結晶層形成工程とを有することを特徴とする。また請求項10記載の発明の要旨は、請求項9記載の半導体基板の製造方法であって、前記第1結晶層形成工程では、前記シリコン基板の垂直方向に前記元素の組成の異なる複数の層を形成することを特徴とする。また請求項11記載の発明の要旨は、請求項9又は10記載の半導体基板の製造方法であって、前記多孔質層形成工程では、前記シリコン基板の垂直方向に多孔度が連続的もしくは段階的に異なる前記多孔質層を形成することを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0010】（第1の実施の形態）図1は、本発明に係る半導体基板の第1の実施の形態の構成を示す断面図である。

【0011】第1の実施の形態は、図1を参照すると、シリコン基板1と、シリコン基板1の表面に形成された多孔質層2と、多孔質層2の表面に形成されたゲルマニウムが含まれた再結晶層3と、再結晶層3上にエピタキシャル成長させたゲルマニウム膜もしくはシリコンゲルマニウム混晶膜であるエピタキシャル成長層4とからなる。

【0012】エピタキシャル成長層4を構成する結晶は、シリコンとは格子定数が異なる結晶であり、ゲルマニウムもしくはシリコンゲルマニウム混晶以外に、III族およびV族元素による化合物を含む半導体、III族元素の窒化物を含む半導体であっても良い。

【0013】再結晶層3に含まれる元素は、エピタキシャル成長層4を構成する結晶に含まれる元素と同一のものであり、第1の実施の形態では、エピタキシャル成長層4がゲルマニウム膜もしくはシリコンゲルマニウム混晶膜であるため、再結晶層3にもゲルマニウムが含まれる構成となっている。

【0014】シリコンゲルマニウム混晶膜である再結晶層3は、シリコン単結晶膜よりも格子定数が大きくなると共に、再結晶層3の歪みは、多孔質層2に解放されている。従って、再結晶層3は、再結晶層3と同じゲルマニウム組成のシリコンゲルマニウム混晶膜を直接シリコン単結晶層上にエピタキシャル成長させた場合に比べ、

歪みが緩和されている。

【0015】エピタキシャル成長層4のゲルマニウム組成は、再結晶層3のゲルマニウム組成と同一であっても、異なっても良いが、エピタキシャル成長層4のゲルマニウム組成が再結晶層3のゲルマニウム組成と異なっている場合には、エピタキシャル成長層4を形成後、熱処理によりエピタキシャル成長層4に生じた歪みが多孔質層2に解放されている。

【0016】次に、第1の実施の形態の半導体基板の製造方法について図2を参照して詳細に説明する。図2は、図1に示す半導体基板の製造方法を説明するための製造工程図である。

【0017】まず、シリコン基板1の表面に、図2

(a)に示すように、陽極化成により多孔質層2を形成する。陽極化成に使用する電解液としては、フッ化水素とエチルアルコールとの混合液を用いる。また、陽極化成では、流す電気の電流密度を変化させることによって、連続的に又は段階的に多孔度の異なる多孔質層を形成することもでき、電流密度を高くすると多孔度が大きくなり、電流密度を低くすると多孔度は小さくなる。

【0018】多孔質層2を形成した後に、ゲルマニウムなどゲルマニウム原料ガス5を含んだ水素等の還元雰囲気中にて例えば900℃から1100℃の熱処理を施す。当該熱処理により、多孔質層2の表面付近に、ゲルマニウムを含んだ、すなわちシリコンゲルマニウム混晶の再結晶層3が、図2(b)に示すように形成される。ゲルマニウム原料ガスの流量をコントロールすることにより、再結晶層3のゲルマニウム組成を以降に形成するエピタキシャル成長層4のゲルマニウム組成と同一にすると好適である。

【0019】次に、例えばCVD法により再結晶層3と同じゲルマニウム組成のシリコンゲルマニウム混晶膜をエピタキシャル成長させてエピタキシャル成長層4を形成することにより、図1に示す第1の実施の形態の半導体基板を得ることができる。エピタキシャル成長層4は、再結晶層3により歪みが緩和されるため、高品質を維持した状態で以下に数式1で示す臨界膜厚 h_c よりも厚く形成することができる。

【0020】

【数式1】

$$h_c = \left[\frac{1.9 \times 10^1}{R^2} \right] \ln \left[\frac{h_c}{0.4} \right]_{(nm)}$$

【0021】また、再結晶膜3とゲルマニウム組成の異なるシリコンゲルマニウム混晶膜もしくはゲルマニウム膜をエピタキシャル成長させた場合、エピタキシャル成長層4は、歪みを含んだ膜となる。しかし、エピタキシャル成長させた後、熱処理を施すことでエピタキシャル成長層4の歪みは、多孔質層3へ解放され、歪みの緩和したエピタキシャル成長膜4を得ることができる。

【0022】(第2の実施の形態)図3は、本発明に係る半導体基板の第2の実施の形態の構成を示す断面図である。

【0023】第2の実施の形態は、図3を参照すると、シリコン基板1と、シリコン基板1上に形成されたシリコンゲルマニウム混晶の第1多孔質層6と、第1多孔質層6上に形成された第1多孔質層6とはゲルマニウム組成が異なるシリコンゲルマニウム混晶の第2多孔質層7と、第2多孔質層7の表面に形成されたゲルマニウムが含まれた再結晶層8と、再結晶層8上にエピタキシャル成長させたゲルマニウム膜であるエピタキシャル成長層4とからなる。

【0024】エピタキシャル成長層4を構成する結晶は、シリコンとは格子定数が異なる結晶であり、ゲルマニウムもしくはシリコンゲルマニウム混晶以外に、III族およびV族元素による化合物を含む半導体、III族元素の窒化物を含む半導体であっても良い。

【0025】再結晶層8に含まれる元素、すなわち第1多孔質層6および第2多孔質層7に含まれる元素は、エピタキシャル成長層4を構成する結晶に含まれる元素と同一のものであり、本実施の形態では、エピタキシャル成長層4がゲルマニウム膜もしくはシリコンゲルマニウム混晶膜であるため、再結晶層8にもゲルマニウムが含まれる構成となっている。

【0026】第1多孔質層6と第2多孔質層7とのシリコンゲルマニウム混晶のゲルマニウム組成は、異なっており、第1多孔質層6と第2多孔質層7との多孔度も異なる。

【0027】次に、第2の実施の形態の半導体基板の製造方法について図4を参照して詳細に説明する。図4は、図3に示す半導体基板の製造方法を説明するための製造工程図である。

【0028】まず、例えばCVD法により、図4(a)に示すように、シリコン基板1上にシリコンゲルマニウム混晶膜9を形成し、さらに、シリコンゲルマニウム混晶膜9上にシリコンゲルマニウム混晶膜9とはゲルマニウム組成が異なるシリコンゲルマニウム混晶膜10を形成する。第2の実施の形態では、シリコンゲルマニウム混晶膜9、10の2層を積層する構成としたが、さらに、ゲルマニウム組成の異なるシリコンゲルマニウム混晶膜を積層しても良い。

【0029】その後、陽極化成によりシリコンゲルマニウム混晶膜9、10を多孔質化し、第1多孔質層6と第2多孔質層7とを形成する。陽極化成に使用する電解液としては、フッ化水素とエチルアルコールとの混合液を用いる。ゲルマニウム組成の異なるシリコンゲルマニウム混晶膜9、10を多孔質化することにより、図4

(b)に示すように、シリコン基板1に垂直方向で多孔度の異なる第1多孔質層6と第2多孔質層7とを形成する。

【0030】この多孔度の異なる第1多孔質層6と第2多孔質層7とを形成した後に、水素などの還元雰囲気中にて例えば900℃から1100℃の熱処理を施す。この熱処理により、第2多孔質層7の表面付近は、再結晶化し、図4(c)に示すように、高品質な再結晶層8が形成される。また、この熱処理度にジシランなどのシリコン原料ガスもしくはゲルマンなどゲルマニウム原料ガスもしくはその両方を微量に供給することにより、より高品質な結晶膜を形成する場合もある。

【0031】次に、例えばCVD法によりゲルマニウム結晶膜をエピタキシャル成長させてエピタキシャル成長4を形成することにより、図3に示す第2の実施の形態の半導体基板が得られる。形成されたゲルマニウム結晶膜であるエピタキシャル成長4は、歪みを含んだ膜となるが、エピタキシャル成長後、熱処理を施すことにより、ゲルマニウム結晶膜の歪みは、第1多孔質層6および第2多孔質層7に解放され、歪みの緩和したゲルマニウム結晶膜であるエピタキシャル成長4を得ることができる。

【0032】以上説明したように、本実施の形態によれば、多孔質層の表面に設けた再結晶層によってエピタキシャル成長層の歪みが緩和されるように構成したため、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【0033】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定さ

れず、本発明を実施する上で好適な数、位置、形状等にすることができる。なお、各図において、同一構成要素には同一符号を付している。

【0034】

【発明の効果】本発明の半導体基板およびその製造方法は、多孔質層の表面に設けた再結晶層によってエピタキシャル成長層の歪みが緩和されるように構成したため、シリコン基板上にシリコンとは格子定数が異なる元素を含む結晶層を形成するに際し、簡単なプロセスで、格子定数の違いから生じる結晶層の歪みを十分に緩和することができるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明に係る半導体基板の第1の実施の形態の構成を示す断面図である。

【図2】 図1に示す半導体基板の製造方法を説明するための製造工程図である。

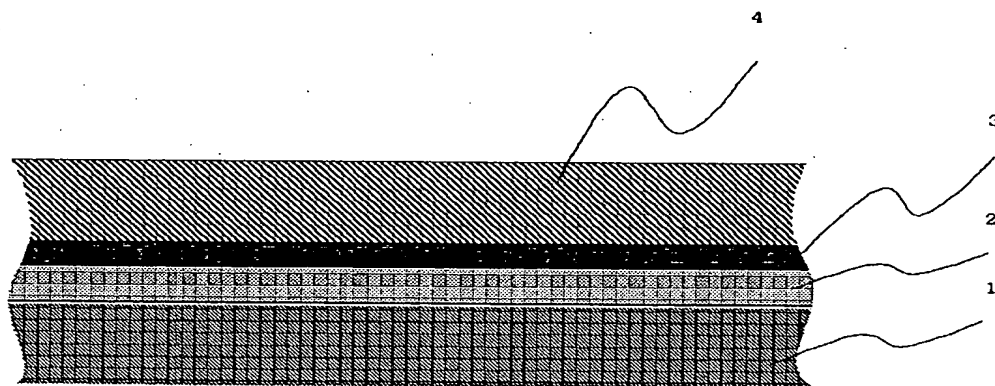
【図3】 本発明に係る半導体基板の第2の実施の形態の構成を示す断面図である。

【図4】 図3に示す半導体基板の製造方法を説明するための製造工程図である。

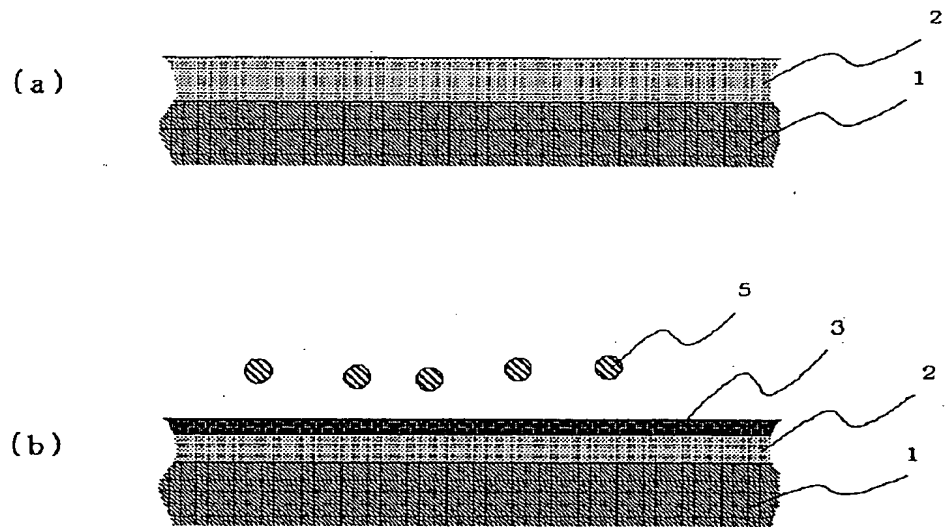
【符号の説明】

- 1 シリコン基板
- 2 多孔質層
- 3、8 再結晶層
- 4 エピタキシャル成長層
- 5 ゲルマニウム原料ガス
- 6 第1多孔質層
- 7 第2多孔質層
- 9、10 シリコンゲルマニウム混晶膜

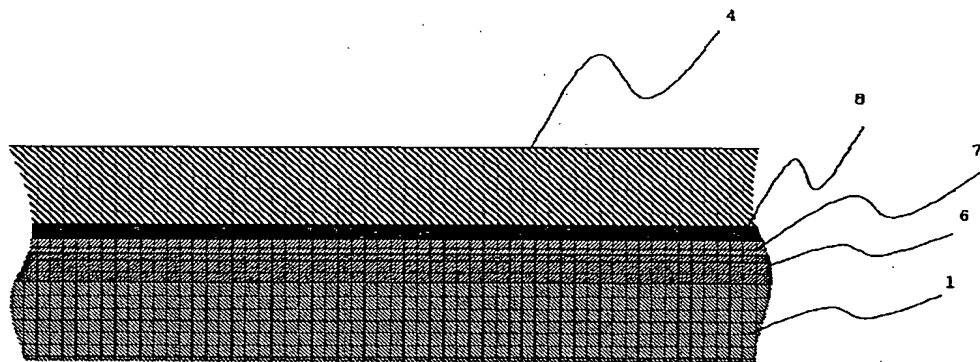
【図1】



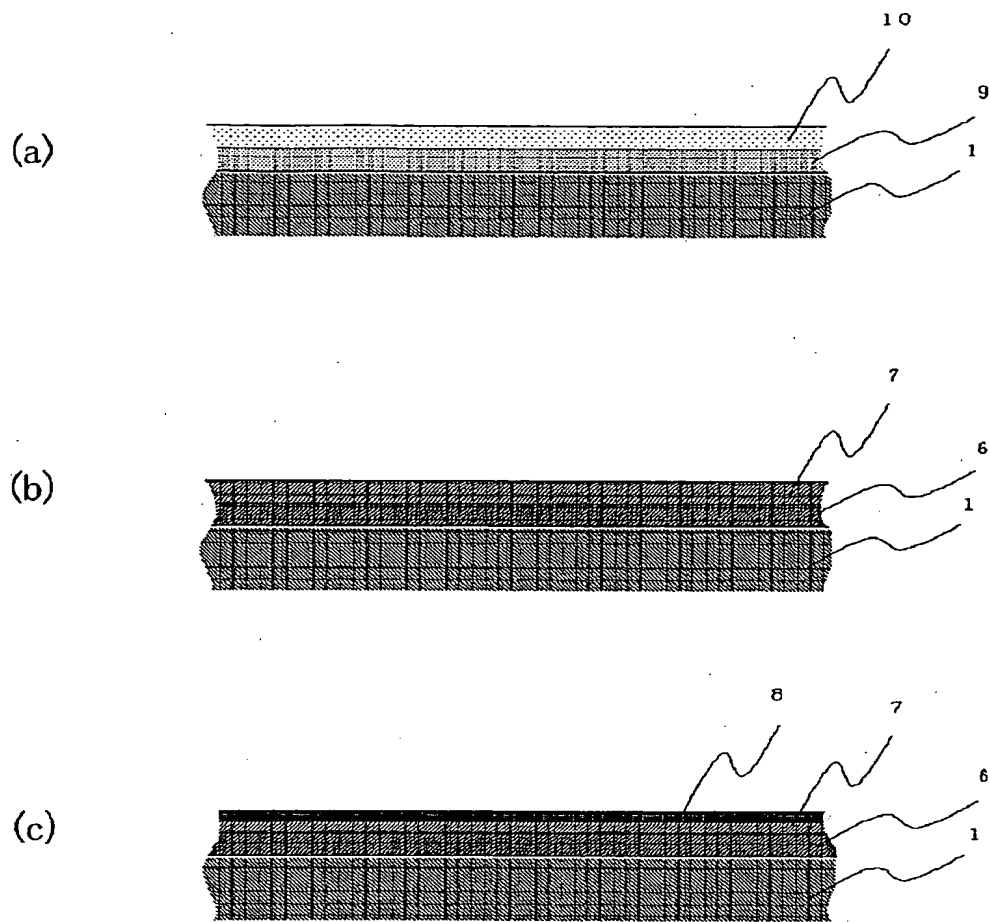
【図 2】



【図 3】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.